

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-307001
 (43)Date of publication of application : 02.11.2000

(51)Int.Cl. H01L 21/768
 H01L 21/28
 H01L 21/3065

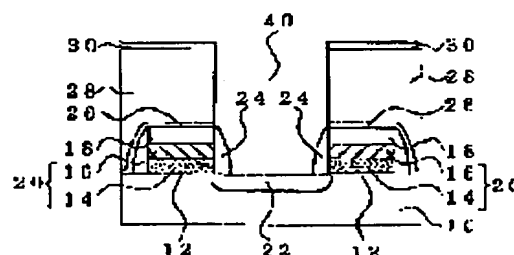
(21)Application number : 11-114866 (71)Applicant : SONY CORP
 (22)Date of filing : 22.04.1999 (72)Inventor : MORITA YASUSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a manufacturing method which makes it possible to form a minute contact hole with good reproducibility by stably removing the etching stopper film, which covers the contact region, with good controllability without causing etching of the layer insulation film, when forming the contact hole by using the SAC technology which provides an etching stopper film under an interlayer insulation film.

SOLUTION: Over a conductive region 22 which is sandwiched between two SiO₂ side walls 24 of gate electrodes 20, an SiN etching stopper film 26, a BPSG interlayer insulation film 28, a TiN cover film 30 are formed in the described order. After forming a hole by selectively etching the TiN cover film 30 and BPSG interlayer insulation film 28, the SiN etching stopper film 26 of the bottom of the bore is selectively etched while using the TiN cover film 30 as a mask so as to form a contact hole 40 which reaches the conductive region 22.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-307001

(P2000-307001A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 21/768		H 0 1 L 21/90	C 4 M 1 0 4
21/28		21/28	M 5 F 0 0 4
			F 5 F 0 3 3
21/3065		21/302	J

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21)出願番号 特願平11-114866

(22)出願日 平成11年4月22日(1999.4.22)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 森田 靖

東京都品川区北品川6丁目7番35号 ソニー株式会社内

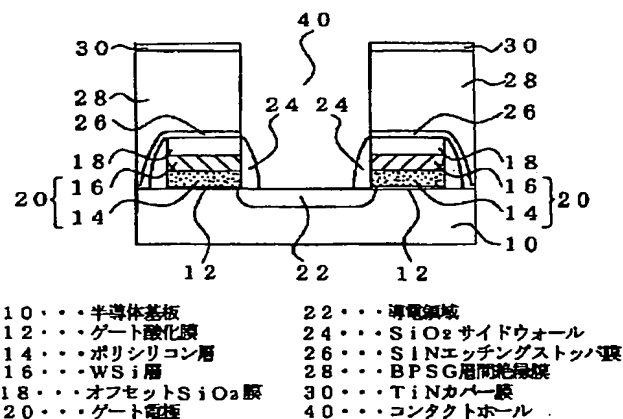
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 層間絶縁膜の下層にエッチングストッパ膜を設けるSAC技術を用いてコンタクトホールを形成する際に、コンタクト領域を覆うエッチングストッパ膜の除去を、間絶縁膜のエッチングを招くことなく且つ安定して制御性よく行って、微細なコンタクトホールを再現性よく形成することが可能な半導体装置の製造方法を提供することを目的とする。

【解決手段】 2個のゲート電極20側壁のSiO₂サイドウォール24に挟まれた導電領域22上に、SiNエッチングストッパ膜26、BPSG層間絶縁膜28、及びTiNカバー膜30を順に形成し、TiNカバー膜30及びBPSG層間絶縁膜28を選択的にエッチング除去してホールを形成した後、TiNカバー膜30をマスクとしてホール底面のSiNエッチングストッパ膜26を選択的にエッチング除去し導電領域22に達するコンタクトホール40を形成する。



- | | |
|------------------------------|-------------------------------|
| 10・・・半導体基板 | 22・・・導電領域 |
| 12・・・ゲート酸化膜 | 24・・・SiO ₂ サイドウォール |
| 14・・・ポリシリコン層 | 26・・・SiNエッチングストッパ膜 |
| 16・・・WSi層 | 28・・・BPSG層間絶縁膜 |
| 18・・・オフセットSiO _x 膜 | 30・・・TiNカバー膜 |
| 20・・・ゲート電極 | 40・・・コンタクトホール |